

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-188538  
(P2003-188538A)

(43)公開日 平成15年7月4日(2003.7.4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル*(参考)
H 0 5 K 3/46		H 0 5 K 3/46	L 5 E 3 4 6
H 0 1 L 23/12		H 0 1 L 23/12	Q B

審査請求 有 請求項の数7 O L (全 8 頁)

(21)出願番号 特願2001-384699(P2001-384699)

(22)出願日 平成13年12月18日(2001.12.18)

(71)出願人 000006231

株式会社村田製作所  
京都府長岡京市天神二丁目26番10号

(72)発明者 原田 淳

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 守安 明義

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 鷹木 洋

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

最終頁に続く

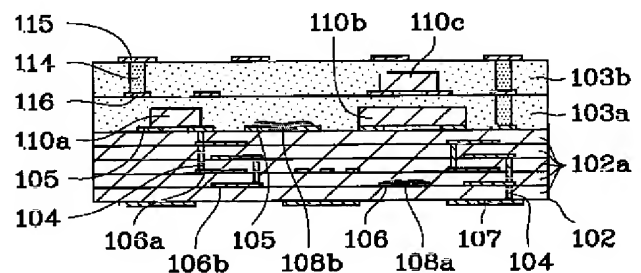
(54)【発明の名称】 多層基板、および多層モジュール

(57)【要約】

【課題】 基板の小型化および平坦化を図ると同時に、耐候性に優れ、抵抗値や容量の調整を行いやすい多層基板を提供する。

【解決手段】 複数のセラミック層102aからなるセラミック多層基板102と、セラミック多層基板102の上側主面上に積層された樹脂層103a、103bとからなる多層基板101において、セラミック多層基板102内部に第1のビア導体104を形成し、セラミック多層基板102の上側主面上に第1の表面導体105を形成し、セラミック多層基板102のセラミック層102a間に第1の内部導体106を形成し、樹脂層103a、103b内部に第2のビア導体114を形成し、樹脂層103bの上側主面上に第2の表面導体115を形成し、樹脂層103a、103b内部に回路部品110a~110cを設ける。

101



【特許請求の範囲】

【請求項1】 積層された複数のセラミック層からなるセラミック多層基板と、前記セラミック多層基板の上側主面上に積層された少なくとも1層の樹脂層とからなる多層基板であって、

前記セラミック多層基板は、

前記セラミック層の積層方向に延びるように前記セラミック多層基板内部に形成された第1のビア導体と、

前記セラミック多層基板の上側主面上に形成され、前記第1のビア導体に電氣的に接続された第1の表面導体と、

前記セラミック多層基板のセラミック層間に形成され、前記第1のビア導体に電氣的に接続された第1の内部導体と、

を備え、

前記樹脂層は、

前記樹脂層の積層方向に延びるように前記樹脂層内部に形成された第2のビア導体と、

前記樹脂層最上層の上側主面上に形成され、前記第2のビア導体に電氣的に接続された第2の表面導体と、

前記樹脂層内部に設けられ、前記第1の表面導体に電氣的に接続された回路部品と、

を備え、

前記セラミック多層基板の第1のビア導体または第1の表面導体と、前記樹脂層の第2のビア導体とが電氣的に接続されていることを特徴とする多層基板。

【請求項2】 複数の前記樹脂層は、

前記樹脂層間に形成され、前記第2のビア導体に電氣的に接続された第2の内部導体と、

前記第2の内部導体に電氣的に接続された回路部品と、を備えることを特徴とする請求項1に記載の多層基板。

【請求項3】 前記セラミック多層基板は、前記セラミック多層基板の下側主面上に形成され、前記第1のビア導体に電氣的に接続された第3の表面導体を備えることを特徴とする、請求項1または請求項2に記載の多層基板。

【請求項4】 前記セラミック多層基板は、前記セラミック層間に形成され、前記第1の内部導体と電氣的に接続された抵抗膜を備えることを特徴とする、請求項1から請求項3のいずれかに記載の多層基板。

【請求項5】 前記多層セラミック基板は、前記セラミック多層基板の主面上に形成され、前記第1の表面導体または前記第3の表面導体に電氣的に接続された抵抗膜を備えることを特徴とする、請求項1から請求項4のいずれかに記載の多層基板。

【請求項6】 前記第1の内部導体は、異なる電位に接続され前記セラミック層を挟んで対向している少なくとも2つの第1の内部導体を備えることを特徴とする、請求項1から請求項5のいずれかに記載の多層基板。

【請求項7】 請求項1から請求項6のいずれかに記載

の多層基板と、前記多層基板の前記樹脂層の上側主面上に実装され、前記第2の表面導体に電氣的に接続された回路部品と、からなることを特徴とする多層モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セラミック多層基板と樹脂基板とを接合してなる多層基板、およびそれを用いた多層モジュールに関し、詳しくは、樹脂基板に回路部品が内蔵された多層基板、およびそれを用いた多層モジュールに関する。

【0002】

【従来の技術】近年、電子機器の小型化に伴い、電子機器に用いられる多層基板についても同様に小型化が望まれている。これを受けて、従来より、基板上に実装されていた抵抗、コンデンサ、インダクタ等の回路要素を多層基板に内蔵させて、基板の実装面積を小さくすることにより、多層基板の小型化を図ることが行われている。

【0003】このように多層基板に回路要素を内蔵させる手段の一つとして、セラミック多層基板の内部に3次的に導体を配線することにより、コンデンサやインダクタを形成するという手段がある。このセラミック多層基板は、導体が充填されたビアホールを有するセラミックグリーンシート上に配線導体を所定のパターンで形成し、このセラミックグリーンシートを複数枚積層して圧着し、得られた積層体を焼成することにより得られる。

【0004】また、他の手段としては、特開昭61-288498号公報に開示されているように、セラミック多層基板内部にチップ状の回路部品を埋め込むという手段がある。このセラミック多層基板は、あらかじめセラミックグリーンシートに貫通孔を形成しておき、セラミックグリーンシートを積層する過程で、上記貫通孔が積層方向に連結されて形成される空間に回路部品を埋め込み、積層された複数のグリーンシートを圧着、焼成することにより得られる。

【0005】さらに、他の手段としては、特開平11-220262号公報に開示されているように、樹脂多層基板内部にチップ状の回路部品を埋め込むという手段がある。この樹脂多層基板は、銅箔の一主面上に回路部品を実装し、その上に無機フィラーと未硬化状態の熱硬化性樹脂とを含む板状体を重ねて加圧し、板状体を加熱して熱硬化性樹脂を硬化させる工程を繰り返すことにより得られる。

【0006】

【発明が解決しようとする課題】セラミック多層基板の内部に3次的に導体を配線して、容量の大きいコンデンサを形成する場合は、セラミック多層基板の材料として比誘電率の高いセラミック材料を選択する必要がある。しかし、基板材料の比誘電率が高くなると、セラミック多層基板上に実装される半導体デバイス間の信号伝

搬遅延が大きくなってしまふ。このため、基板材料の比誘電率を低くして、セラミック多層基板上にチップコンデンサを実装しなければならず、セラミック多層基板を小型化できないという問題点があった。

【0007】また、セラミック多層基板に回路部品を埋め込む場合は、セラミックグリーンシートのX、Y、Z方向の収縮挙動を厳しく制御しなければならず、セラミックとして使用できる材料が制限されてしまふ。また、現実的には、このようにセラミックグリーンシートの収縮挙動を制御するのは困難であり、基板の平坦性を確保できないという問題点があった。

【0008】これに対して、樹脂多層基板内部にチップ状の回路部品を埋め込む場合は、上述したような問題は生じない。

【0009】しかし、樹脂多層基板は、セラミック基板に比べて耐候性が悪いとともに、基板としての強度も十分なものが期待できない。

【0010】さらに、樹脂多層基板においては、層間または主面上に抵抗膜を形成したり、内部導体の対向部分でコンデンサを形成する場合、抵抗値や容量を調整するためにレーザートリミングを行うと、樹脂の一部がレーザーの熱によって焼損して、電気的特性や機械的強度に影響を与えるという問題があった。

【0011】本発明は、上記問題点を解決し、基板の小型化および平坦化を図ると同時に、耐候性に優れ、抵抗値や容量の調整を行いやすい多層基板を提供することを目的とする。

【0012】**【課題を解決するための手段】**本発明に係る多層基板は、積層された複数のセラミック層からなるセラミック多層基板と、セラミック多層基板の上側主面上に積層された少なくとも1層の樹脂層とからなる多層基板であつて、セラミック多層基板は、セラミック層の積層方向に延びるようにセラミック多層基板内部に形成された第1のビア導体と、セラミック多層基板の上側主面上に形成され、第1のビア導体に電気的に接続された第1の表面導体と、セラミック多層基板のセラミック層間に形成され、第1のビア導体に電気的に接続された第1の内部導体と、を備え、樹脂層は、樹脂層の積層方向に延びるように樹脂層内部に形成された第2のビア導体と、樹脂層最上層の上側主面上に形成され、第2のビア導体に電気的に接続された第2の表面導体と、樹脂層内部に設けられ、第1の表面導体に電気的に接続された回路部品と、を備え、セラミック多層基板の第1のビア導体または第1の表面導体と、樹脂層の第2のビア導体とが電気的に接続されていることを特徴とする。

【0013】また、本発明に係る多層基板は、複数の樹脂層は、樹脂層間に形成され、第2のビア導体に電気的に接続された第2の内部導体と、第2の内部導体に電気的に接続された回路部品と、を備えることを特徴とする。

る。

【0014】また、本発明に係る多層基板は、上記セラミック多層基板が、セラミック多層基板の下側主面上に形成され、第1のビア導体に電気的に接続された第3の表面導体を備えることを特徴とする。

【0015】また、本発明に係る多層基板は、上記セラミック多層基板が、セラミック層間に形成され、第1の内部導体と電気的に接続された抵抗膜を備えることを特徴とする。

【0016】また、本発明に係る多層基板は、上記セラミック多層基板が、セラミック多層基板の主面上に形成され、第1の表面導体または第3の表面導体に電気的に接続された抵抗膜を備えることを特徴とする。

【0017】また、本発明に係る多層基板は、上記第1の内部導体は、異なる電位に接続されセラミック層を挟んで対向している少なくとも2つの第1の内部導体を備えることを特徴とする。

【0018】また、本発明に係る多層モジュールは、多層基板と、多層基板の樹脂層の上側主面上に実装され、第2の表面導体に電気的に接続された回路部品とからなることを特徴とする。

【0019】

**【発明の実施の形態】**図1は、本発明に係る多層基板の断面図である。図1に示すように、多層基板101は、セラミック多層基板102の上側主面上に樹脂層103a、103bが積層された構成になっている。

【0020】セラミック多層基板102は、複数のセラミック層102aが積層されたものである。セラミック多層基板102内部には、セラミック層102aの積層方向に延びるように複数の第1のビア導体104が形成されている。また、セラミック多層基板102の上側主面上には、第1のビア導体104に電気的に接続された第1の表面導体105が複数形成されている。また、セラミック多層基板102の内部には、第1のビア導体104に電気的に接続された内部導体106が複数形成されている。また、セラミック多層基板102の下側主面上には、第1のビア導体104に電気的に接続された第3の表面導体107が複数形成されている。

【0021】セラミック多層基板102のセラミック層102a間には、第1の内部導体106に電気的に接続された抵抗膜108aが形成され、セラミック多層基板102の上側主面上には、第1の表面導体105に電気的に接続された抵抗膜108bが形成されている。

【0022】セラミック層102aとしては、例えば、 $\text{BaO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系などの絶縁体材料を用いることができる。

【0023】第1のビア導体104、第1の表面導体105、第1の内部導体106、および第3の表面導体107としては、例えば、Cu、Ag、Au、Ag-Pt、Ag-Pdなどを用いることができる。

【0024】図1に示すように、一方の電位に接続された第1の内部導体106aと、他方の電位に接続された第1の内部導体106bとは、セラミック層102aを挟んで対向することによりコンデンサを形成している。

【0025】図2は、第1の内部導体106aと第1の内部導体106bとが対向している部分を拡大して示した断面図である。図2に示すように、セラミック層102aを貫通する貫通溝109を形成し、第1の内部導体106bの一部を除去することにより、コンデンサの容量を調整することができる。貫通溝109を形成するためには、例えば、レーザーなどを用いることができる。

【0026】第3の表面導体107は、そのままプリント基板（図示せず）の配線パターンと接続されてもよいし、例えば、ピンなどの外部接続用端子（図示せず）と接続されてもよい。

【0027】抵抗膜108a、108bとしては、例えば、 $RuO_2$ とガラスとの混合材料などを用いることができる。また、多層基板101完成後に、レーザーなどによって抵抗膜108a、108bの一部を除去し、抵抗値を調整することができる。抵抗膜108aについては、コンデンサの容量を調整するときと同様に、セラミック層102aを貫通してレーザートリミングを行い、抵抗値を調整することができる。樹脂層103a、103b内部には、樹脂層103a、103bの積層方向に延びるように第2のビア導体114が複数形成されている。また、樹脂層103bの上側主面上には第2の表面導体115が複数形成されており、その一部は第2のビア導体114に電氣的に接続されている。また、樹脂層103aと樹脂層103bとの間には第2の内部導体116が複数形成されており、その一部は第2のビア導体114に電氣的に接続されている。

【0028】また、樹脂層103a内部には、第1の表面導体105に電氣的に接続された回路部品110a、110bが設けられ、樹脂層103b内部には、第2の内部導体116に電氣的に接続された回路部品110cが設けられている。

【0029】樹脂層103a、103bは、無機フィラーと熱硬化性樹脂とを混合したものからなる。無機フィラーとしては、例えば、 $Al_2O_3$ 、 $SiO_2$ 、 $TiO_2$ などを用いることができる。これらの無機フィラーを用いることにより、放熱性を向上させるとともに、樹脂層103a、103bの流動性、充填性を制御することができる。また、熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、シアネート樹脂などを用いることができる。

【0030】上記無機フィラーおよび熱硬化性樹脂としては、樹脂層103bの上側主面上に実装される高周波用回路部品との関係から、誘電率が低いものを選択することが好ましい。また、上記無機フィラーおよび熱硬化性樹脂としては、セラミック多層基板102に用いられ

るセラミックスと熱膨張係数の近いものを選択することが好ましい。

【0031】本実施形態のように複数の樹脂層を形成した場合、回路部品110a～110cを立体的に内蔵することができるため、回路部品の実装面積を小さくできる。その結果、多層基板101の面積を小さくして、多層基板101の小型化を図ることができる。なお、樹脂層の層数は、回路部品の点数や大きさなどによって、適宜調整することができる。

【0032】第2のビア導体114は、図1では、第1の表面導体105と電氣的に接続されているが、第1のビア導体104にも電氣的に接続されていてもよい。すなわち、第2のビア導体114は、セラミック多層基板102における回路と樹脂層103a、103bにおける回路とを電氣的に接続していればよい。

【0033】第2のビア導体114としては、例えば、金属粒子と熱硬化性樹脂とを混合した導電性樹脂組成物を用いることができる。金属粒子としては、Au、Ag、Cu、Niなどを用いることができる。熱硬化性樹脂としては、エポキシ樹脂、フェノール樹脂、シアネート樹脂などを用いることができる。

【0034】第2の表面導体115、および第2の内部導体116としては、例えば、Ag、Cu、Au、Ag-Pt、Ag-Pdなどを用いることができる。

【0035】回路部品110a～110cとしては、形成される回路に応じて種々のものを用いることができる。例えば、トランジスタ、IC、LSIなどの能動素子や、チップコンデンサ、チップ抵抗、チップサーミスタ、チップインダクタなどの受動素子を用いることができる。

【0036】図3は、本発明に係る多層モジュールの断面図である。図3に示すように、多層モジュール100は、多層基板101の樹脂層103bに形成された第2の表面導体115上に、回路部品110d、110eを実装したものである。

【0037】回路部品110d、110eとしては、上述した回路部品110a～110cと同様のものを用いることができるが、特に、樹脂層103a、103b内部に設けにくい性質の回路部品を用いることが好ましい。例えば、ベアチップ状のトランジスタなどを樹脂層103a、103b内部に設けると、放熱性が悪くなり正常に動作しないおそれがある。このような部品に関しては、樹脂層103bの上側主面上に実装したほうが好ましい。

【0038】

【実施例】（実施例1）以下に、本発明に係る多層基板、および多層モジュールを作製した一実施例を示す。

【0039】まず、出発原料として、BaO、 $SiO_2$ 、 $Al_2O_3$ 、 $B_2O_3$ 、CaOを準備し、各出発原料を所定量秤量し、混合した。次に、得られた混合物を1

300℃で2時間仮焼し、得られた仮焼物を粉碎して仮焼粉末を得た。

【0040】次に、この仮焼粉末に、適当量のバインダ、可塑剤および溶剤を加えて混練し、セラミックスラリーを得た。次に、このセラミックスラリーを、ドクターブレード法により厚さ100μmのシート状に形成し、セラミックグリーンシートを得た。次に、このセラミックグリーンシートを、縦100mm×横100mmの方形形状に切断した。次に、この方形のセラミックグリーンシートの所定の位置に直径200μmのビアホールを形成した。

【0041】次に、Cu粉末、適当量のバインダ、ガラス粉末、分散剤からなる導体ペーストを作製し、この導体ペーストを、スクリーン印刷により矩形のセラミックグリーンシート上に印刷し、セラミックグリーンシートのビアホールに充填した。次に、RuO<sub>2</sub>粉末、ガラス粉末、分散剤からなる抵抗ペーストを作製し、一枚のセラミックグリーンシートにおいて、この抵抗ペーストを導体ペースト上に塗布した。

【0042】次に、矩形のセラミックグリーンシートを複数枚積層し、圧着することにより、1mmの厚みの積層体を得た。次に、得られた積層体を800～1000℃の温度で5時間焼成し、セラミック多層基板を得た。このセラミック多層基板のTMA法により熱膨張係数を測定したところ、9ppm/℃であった。

【0043】なお、セラミック多層基板の製造方法については上述の限りではなく、その他公知の製造方法を用いてもよい。

【0044】次に、図4に示すように、セラミック多層基板102の第1の表面導体105上にチップコンデンサ110a、チップ抵抗110bを搭載し、半田付けを行った。また、第1の表面導体105上に、RuO<sub>2</sub>粉末、ガラス粉末、分散剤からなる抵抗ペーストを塗布し、焼き付けて抵抗膜108bを形成した。

【0045】次に、無機フィラーとしてシリカ、熱硬化性樹脂として液状エポキシ樹脂を準備し、シリカが90重量%、液状エポキシ樹脂が10重量%となるように秤量し、分散剤を加えて混合し、ペースト状の混合物を作製した。

【0046】なお、このペースト状の混合物を160℃で熱硬化させたものについて、TMA法により熱膨張係数を測定したところ、15ppm/℃であった。

【0047】次に、得られたペースト状の混合物を、ポリエチレンテレフタレートからなり、表面にシリコンによる離形処理が施された離形フィルムの上に滴下し、その上から厚さ18μmの銅箔を重ねて、加圧プレスを行なって厚さ400μmの板状の混合物を得た。

【0048】次に、離形フィルムを剥離して銅箔付きの樹脂プリプレグシートを作製した。次に、この樹脂プリプレグシートを縦100mm×横100mmの方形形状

に切断した。

【0049】次に、方形形状の樹脂プリプレグシート上に形成された銅箔をフォトリソグラフィによりエッチングし、図5(A)に示すように、一方主面上に第2の内部導体116が形成された樹脂プリプレグシート113a、および一方主面上に第2の表面導体115が形成された樹脂プリプレグシート113bを作製した。

【0050】次に、炭酸ガスレーザーを用いて、図5(B)に示すように、樹脂プリプレグシート113a、113bにそれぞれ直径150μmのビアホール111a、111bを形成した。

【0051】次に、図5(c)に示すように、導電ペースト(タツタ電線株式会社製AE1244)をスクリーン印刷によりビアホール111a、111b内に充填して、第2のビア導体114a、114bを形成した。

【0052】次に、樹脂プリプレグシート113aを、第2の内部導体116が上になるようにして、チップコンデンサ110a、チップ抵抗110bが実装されたセラミック多層基板102上に重ね、真空プレスにより160℃の温度で60分間圧着した。このようにして、樹脂プリプレグシート113aにチップコンデンサ110a、チップ抵抗110bを埋没させるとともに、樹脂プリプレグシート113a、および第2のビア導体114aに含まれていた熱硬化性樹脂を硬化させ、セラミック多層基板102上に樹脂層103aを形成した。

【0053】次に、図6に示すように、樹脂層103aの第2の内部導体116上にチップコンデンサ110cを搭載し、半田付けを行った。

【0054】次に、樹脂プリプレグシート113bを、第2の表面導体115が上になるようにして、チップコンデンサ110cが実装された樹脂層103a上に重ね、真空プレスにより160℃の温度で60分間圧着した。このようにして、樹脂プリプレグシート113bにチップコンデンサ110cを埋没させるとともに、樹脂プリプレグシート113b、および第2のビア導体114bに含まれていた熱硬化性樹脂を硬化させ、図1に示すように、セラミック多層基板102上に樹脂層103a、103bが形成された多層基板101を作製した。

【0055】次に、図3に示すように、多層基板101の第2の表面導体115上に半導体素子110d、110eを搭載し、半田付けを行って多層モジュール100を作製した。

(実施例2) 以下に、本発明に係る多層基板、および多層モジュールを作成した他の実施例を示す。

【0056】まず、実施例1と同様にして、セラミック多層基板を作製した。次に、図4に示すように、セラミック多層基板102の第1の表面導体105上にチップコンデンサ110a、チップ抵抗110bを搭載し、半田付けを行った。また、第1の表面導体105上に、RuO<sub>2</sub>粉末、ガラス粉末、分散剤からなる抵抗ペースト

を塗布し、焼き付けて抵抗膜108bを形成した。

【0057】次に、無機フィラーとしてシリカ、熱硬化性樹脂として液状エポキシ樹脂を準備し、シリカが90重量%、液状エポキシ樹脂が10重量%となるように秤量し、分散剤を加えて混合し、ペースト状の混合物を作製した。

【0058】なお、このペースト状の混合物を160℃で熱硬化させたものについて、TMA法により熱膨張係数を測定したところ、15ppm/℃であった。

【0059】次に、セラミック基板102の上側主面上に、得られたペースト状の混合物をコーターで流し込み、チップコンデンサ110a、チップ抵抗110bを覆った。このときのコート厚みは400μmであった。

【0060】次に、上側主面をペースト状の混合物でコートされたセラミック基板102を真空オーブンに入れ100℃で10分間加熱し、ペースト状の混合物をチップコンデンサ110a、チップ抵抗110bの下面に回り込ませた。これにより、図7(A)に示すように、セラミック多層基板102上に樹脂層103aが形成された積層体が得られた。なお、この温度では、ペースト状の混合物は完全には熱硬化せず、半硬化の状態である。

【0061】次に、この積層体を真空オーブンから取り出し、炭酸ガスレーザーを用いて、図7(B)に示すように、樹脂層103aを貫通する直径150μmのビアホール111aを形成した。

【0062】次に、図7(C)に示すように、導電ペースト(タツタ電線株式会社製AE1214)をスクリーン印刷によりビアホール111a内に充填して、第2のビア導体114aを形成した。

【0063】次に、一方主面が粗面化された厚さ18μmの電解銅箔を準備し、この電解銅箔をセラミック基板102の大きさに合わせて矩形状に切り出した。次に、図7(D)に示すように、樹脂層103aの上側主面と電解銅箔116aの粗面とを合わせるようにして、樹脂層103a上に電解銅箔116aを重ね、真空プレスにより160℃で60分間圧着した。なお、この温度で、樹脂層103a、および第2のビア導体114aに含まれる熱硬化性樹脂は硬化した。

【0064】次に、樹脂層103a上に形成された電解銅箔116aをフォトリソグラフィによりエッチングし、図7(E)に示すように、第2の内部導体116を形成した。

【0065】次に、図6に示すように、樹脂層103aの第2の内部導体116上にチップコンデンサ110cを搭載し、半田付けを行った。

【0066】次に、樹脂層103aを形成したときと同様に、図1に示すように、樹脂層103a上に樹脂層103bを形成し、樹脂層103b上に第2の表面導体115を形成して多層基板101を作製した。

【0067】次に、図3に示すように、多層基板101

の第2の表面導体115上に半導体素子110d、110eを搭載し、半田付けを行って多層モジュール100を作製した。

【0068】

【発明の効果】本発明に係る多層基板、および多層モジュールによれば、樹脂層に回路部品を内蔵することにより基板の小型化を図ることができると同時に、セラミック多層基板の部分で耐候性や機械的強度を確保することができる。また、回路部品が実装される樹脂層の誘電率が低いため、回路部品間の信号伝搬遅延を小さくできる。

【0069】また、複数の樹脂層を形成することにより、樹脂層に回路部品を立体的に内蔵することができるため、さらに基板の小型化を図ることができる。

【0070】また、セラミック多層基板の内部または主面上に抵抗膜を形成し、この抵抗膜をトリミングすることにより、容易に抵抗値の調整を行うことができる。

【図面の簡単な説明】

【図1】本発明に係る多層基板を示す断面図である。

【図2】図1のセラミック多層基板102の一部を拡大して示した断面図である。

【図3】本発明に係る多層モジュールを示す断面図である。

【図4】本発明に係る多層基板および多層モジュールの製造方法の一例を示す工程図である。

【図5】本発明に係る多層基板および多層モジュールの製造方法の一例を示す工程図である。

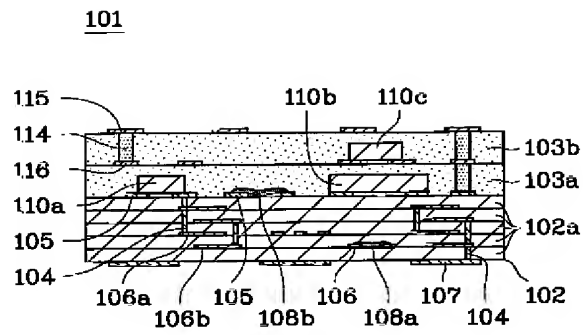
【図6】本発明に係る多層基板および多層モジュールの製造方法の一例を示す工程図である。

【図7】本発明に係る多層基板および多層モジュールの製造方法の一例を示す工程図である。

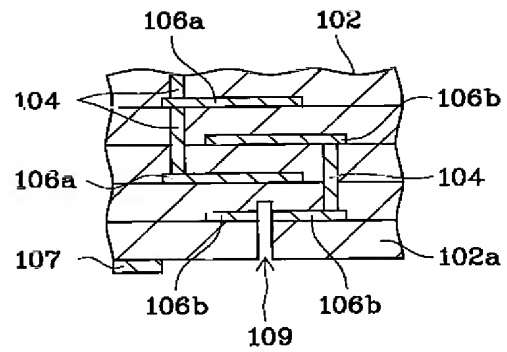
【符号の説明】

100	多層モジュール
101	多層基板
102	セラミック多層基板
102a	セラミック層
103a、103b	樹脂層
104	第1のビア導体
105	第1の表面導体
106	第1の内部導体
107	第3の表面導体
108a、108b	抵抗膜
109	貫通溝
110a~110e	回路部品
111a、111b	ビアホール
113a、113b	樹脂アブリレグシート
114	第2のビア導体
115	第2の表面導体
116	第2の内部導体

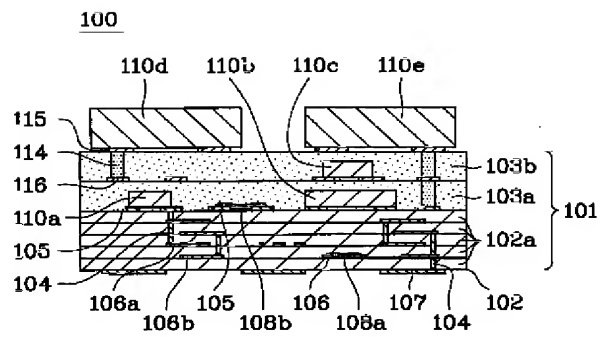
【図1】



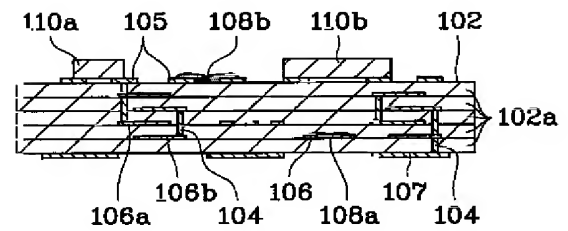
【図2】



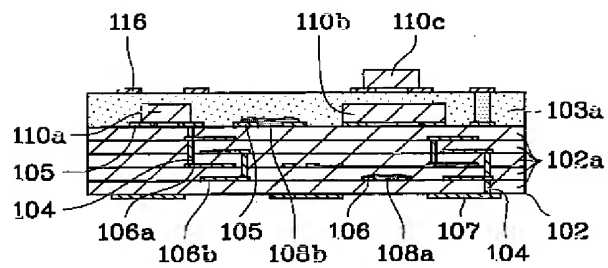
【図3】



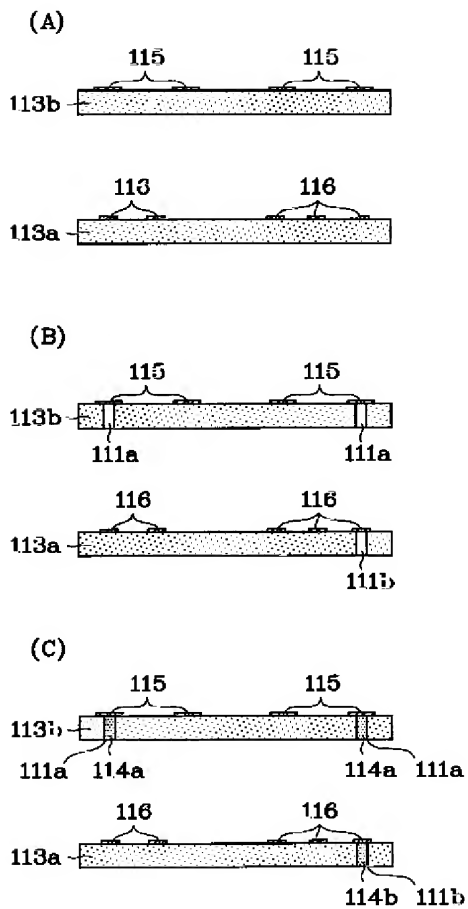
【図4】



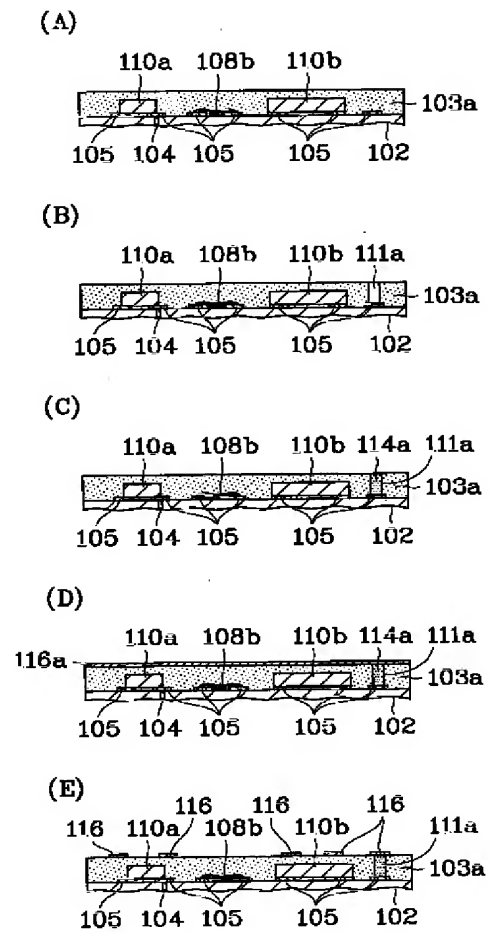
【図6】



【図5】



【図7】



フロントページの続き

(72)発明者 山本 祐樹  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

Fターム(参考) 5E346 AA12 AA43 CC08 CC18 CC32  
DD12 EE09 EE24 FF18 GG04  
GG15 HH05



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-188538

(43)Date of publication of application : 04.07.2003

---

(51)Int.Cl. H05K 3/46

H01L 23/12

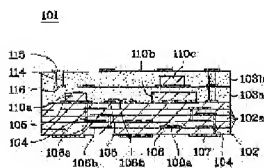
---

(21)Application number : 2001- (71)Applicant : MURATA MFG CO LTD  
384699

(22)Date of filing : 18.12.2001 (72)Inventor : HARADA ATSUSHI  
MORIYASU AKIYOSHI  
TAKAGI HIROSHI  
YAMAMOTO YUKI

---

(54) MULTILAYER BOARD AND MULTILAYER MODULE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer board which is miniaturized and flattened, superior in weather resistance and easy to adjust the resistance and capacitance.

SOLUTION: The multilayer board 101 is provided with a ceramic multilayer board 102 formed of multiple ceramic layers 102a and resin layers 103a and 103b laminated on the upper main face of the ceramic multilayer board 102. First via conductors 104 are formed in the ceramic multilayer board 102, and a first surface conductor 105 is formed on the upper main face of the ceramic multilayer board 102. A first inner conductor 106 is formed between the ceramic layers 102a of the ceramic multilayer board 102, and second via conductors 114 are formed in the resin layers 103a and 103b. Second surface conductors 115 are formed on the upper main face of the resin layer 103b, and circuit parts 110a to 110c are disposed in the resin layers 103a and 103b.

---

#### LEGAL STATUS

[Date of request for examination] 04.02.2003

[Date of sending the examiner's  
decision of rejection] 15.08.2006

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] It is the multilayer substrate which consists of a ceramic multilayer substrate which consists of two or more ceramic layers by which the laminating was carried out, and at least one-layer resin layer by which the laminating was carried out on the top principal plane of said ceramic multilayer substrate. the 1st beer formed in the interior of said ceramic multilayer substrate so that said ceramic multilayer substrate might be prolonged in the direction of a laminating of said ceramic layer -- with a conductor it forms on the top principal plane of said ceramic multilayer substrate -- having -- said 1st beer -- the 1st front face electrically connected to the conductor -- with a conductor It has the 1st inner conductor electrically connected to the conductor. it forms between the ceramic layers of said ceramic multilayer substrate -- having -- said 1st beer -- said resin layer the 2nd beer formed in the interior of said resin layer so that it might extend in the direction of a laminating of said resin layer -- with a conductor it forms on the top principal plane of said resin layer best layer -- having -- said 2nd beer -- the 2nd front face electrically connected to the conductor -- with a conductor it prepares in the interior of said resin layer -- having -- said 1st front face -- the passive circuit elements electrically connected to the conductor -- having -- the 1st beer of said ceramic multilayer substrate -- a conductor or the 1st front face -- a conductor and the 2nd beer of said resin layer -- the multilayer substrate characterized by connecting the conductor electrically.

[Claim 2] said two or more resin layers are formed between said resin layers -- having -- said 2nd beer -- the multilayer substrate according to claim 1 characterized by having the 2nd inner conductor electrically connected to the conductor, and the passive circuit elements electrically connected to said 2nd inner conductor.

[Claim 3] said ceramic multilayer substrate is formed on the bottom principal plane of said ceramic multilayer substrate -- having -- said 1st beer -- the 3rd front face electrically connected to the conductor -- the multilayer substrate according to claim 1 or 2 characterized by having a conductor.

[Claim 4] Said ceramic multilayer substrate is a multilayer substrate given in either of claim 1 to claims 3 which are formed between said ceramic layers and characterized by having the resistance film electrically connected with said 1st inner conductor.

[Claim 5] said multilayered ceramic substrate is formed on the principal plane of said ceramic multilayer substrate -- having -- said 1st front face -- a conductor or said 3rd front face -- a multilayer substrate given in either of claim 1 to claims 4 characterized by having the resistance film electrically connected to the conductor.

[Claim 6] Said 1st inner conductor is a multilayer substrate given in either of claim 1 to claims 5 characterized by having 1st at least two inner conductor which was connected to different potential and has countered on both sides of said ceramic layer.

[Claim 7] it mounts on the top principal plane of said resin layer of a multilayer substrate given in either of claim 1 to claims 6, and said multilayer substrate -- having -- said 2nd front face -- the passive circuit elements electrically connected to the conductor -- since -- the multilayer module characterized by becoming.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multilayer substrate with which passive circuit elements were built in the resin substrate, and the multilayer module using it in detail about the multilayer substrate which comes to join a ceramic multilayer substrate and a resin substrate, and the multilayer module using it.

[0002]

[Description of the Prior Art] In recent years, a miniaturization is similarly desired about the multilayer substrate used for electronic equipment with the miniaturization of electronic equipment. Attaining the miniaturization of a multilayer substrate is performed by making circuit elements, such as resistance mounted on the substrate, a capacitor, and an inductor, build in a multilayer substrate conventionally in response, and making the component-side product of a substrate small.

[0003] Thus, there is a means to form a capacitor and an inductor, by wiring the interior of a ceramic multilayer substrate in a conductor in three dimension as one of the means which makes a circuit element build in a multilayer substrate. the ceramic green sheet top with which this ceramic multilayer substrate has the beer hall where it filled up with the conductor -- wiring -- a conductor is formed by the predetermined pattern, and two or more sheet laminating of this ceramic

green sheet is carried out, and it is stuck by pressure and obtained by calcinating the obtained layered product.

[0004] Moreover, as other means, there is a means to embed chip-like passive circuit elements to the interior of a ceramic multilayer substrate as indicated by JP,61-288498,A. This ceramic multilayer substrate forms the through tube in the ceramic green sheet beforehand, and is obtained by embedding, sticking by pressure two or more green sheets by which the laminating was carried out, and calcinating passive circuit elements to the space where the above-mentioned through tube is connected and formed in the direction of a laminating in the process which carries out the laminating of the ceramic green sheet.

[0005] Furthermore, as other means, there is a means to embed chip-like passive circuit elements to the interior of a resin multilayer substrate as indicated by JP,11-220262,A. This resin multilayer substrate mounts passive circuit elements on the 1 principal plane of copper foil, pressurizes in piles the plate which contains on it an inorganic filler and the thermosetting resin in the condition of not hardening, and is obtained by repeating the process which a plate is heated [ process ] and stiffens thermosetting resin.

[0006]

[Problem(s) to be Solved by the Invention] To wire the interior of a ceramic multilayer substrate in a conductor in three dimension and form a capacitor with a large capacity in it, it is necessary to choose a ceramic ingredient with specific inductive capacity high as an ingredient of a ceramic multilayer substrate.

However, if the specific inductive capacity of a substrate ingredient becomes high, the signal propagation delay between the semiconductor devices mounted on a ceramic multilayer substrate will become large. For this reason, specific inductive capacity of a substrate ingredient had to be made low, the chip capacitor had to be mounted on the ceramic multilayer substrate, and there was a trouble that a ceramic multilayer substrate could not be miniaturized.

[0007] Moreover, when embedding passive circuit elements at a ceramic multilayer substrate, X of a ceramic green sheet, Y, and the contraction behavior

of a Z direction will have to be controlled severely, and the ingredient which can be used as a ceramic will be restricted. Moreover, there was a trouble that it was difficult to control the contraction behavior of a ceramic green sheet in this way actually, and the surface smoothness of a substrate could not be secured.

[0008] On the other hand, when embedding chip-like passive circuit elements to the interior of a resin multilayer substrate, a problem which was mentioned above is not produced.

[0009] However, it cannot expect what also has the enough reinforcement as a substrate while a resin multilayer substrate has bad weatherability compared with a ceramic substrate.

[0010] Furthermore, in a resin multilayer substrate, when the resistance film was formed, or a capacitor was formed in the opposite part of an inner conductor between layers or on a principal plane and laser trimming was performed in order to adjust resistance and capacity, some resin was damaged by fire with the heat of laser, and there was a problem of affecting electrical characteristics and a mechanical strength.

[0011] This invention is excellent in weatherability and aims at offering the multilayer substrate which is easy to perform adjustment of resistance or capacity at the same time it solves the above-mentioned trouble and attains a miniaturization and flattening of a substrate.

[0012]

[Means for Solving the Problem] The ceramic multilayer substrate with which the multilayer substrate concerning this invention consists of two or more ceramic layers by which the laminating was carried out, It is the multilayer substrate which consists of at least one-layer resin layer by which the laminating was carried out on the top principal plane of a ceramic multilayer substrate. A ceramic multilayer substrate the 1st beer formed in the interior of a ceramic multilayer substrate so that it might extend in the direction of a laminating of a ceramic layer -- with a conductor it forms on the top principal plane of a ceramic multilayer substrate -- having -- the 1st beer -- the 1st front face electrically connected to the conductor

-- with a conductor It has the 1st inner conductor electrically connected to the conductor. it forms between the ceramic layers of a ceramic multilayer substrate -  
- having -- the 1st beer -- a resin layer the 2nd beer formed in the interior of a resin layer so that it might extend in the direction of a laminating of a resin layer -  
- with a conductor it forms on the top principal plane of the resin layer best layer -  
- having -- the 2nd beer -- the 2nd front face electrically connected to the conductor -- with a conductor it prepares in the interior of a resin layer -- having -- the 1st front face -- the passive circuit elements electrically connected to the conductor -- having -- the 1st beer of a ceramic multilayer substrate -- a conductor or the 1st front face -- a conductor and the 2nd beer of a resin layer -- it is characterized by connecting the conductor electrically.

[0013] moreover, the multilayer substrate concerning this invention forms two or more resin layers between resin layers -- having -- the 2nd beer -- it is characterized by having the 2nd inner conductor electrically connected to the conductor, and the passive circuit elements electrically connected to the 2nd inner conductor.

[0014] moreover, the above-mentioned ceramic multilayer substrate forms the multilayer substrate concerning this invention on the bottom principal plane of a ceramic multilayer substrate -- having -- the 1st beer -- the 3rd front face electrically connected to the conductor -- it is characterized by having a conductor.

[0015] Moreover, the multilayer substrate concerning this invention is characterized by equipping the above-mentioned ceramic multilayer substrate with the resistance film which was formed between ceramic layers and was electrically connected with the 1st inner conductor.

[0016] moreover, the above-mentioned ceramic multilayer substrate forms the multilayer substrate concerning this invention on the principal plane of a ceramic multilayer substrate -- having -- the 1st front face -- a conductor or the 3rd front face -- it is characterized by having the resistance film electrically connected to the conductor.



[0017] Moreover, the multilayer substrate concerning this invention is characterized by equipping the 1st inner conductor of the above with 1st at least two inner conductor which was connected to different potential and has countered on both sides of a ceramic layer.

[0018] moreover, the multilayer module concerning this invention is mounted on the top principal plane of the resin layer of a multilayer substrate and a multilayer substrate -- having -- the 2nd front face -- it is characterized by consisting of passive circuit elements electrically connected to the conductor.

[0019]

[Embodiment of the Invention] Drawing 1 is the sectional view of the multilayer substrate concerning this invention. As shown in drawing 1 , the multilayer substrate 101 has the composition that the laminating of the resin layers 103a and 103b was carried out on the top principal plane of the ceramic multilayer substrate 102.

[0020] As for the ceramic multilayer substrate 102, the laminating of two or more ceramic layer 102a is carried out. in the ceramic multilayer substrate 102 interior, it extends in the direction of a laminating of ceramic layer 102a -- as -- two or more 1st beer -- the conductor 104 is formed. moreover -- the top principal plane top of the ceramic multilayer substrate 102 -- the 1st beer -- the 1st front face electrically connected to the conductor 104 -- two or more formation of the conductor 105 is carried out. moreover -- the interior of the ceramic multilayer substrate 102 -- the 1st beer -- two or more formation of the inner conductor 106 electrically connected to the conductor 104 is carried out. moreover -- the bottom principal plane top of the ceramic multilayer substrate 102 -- the 1st beer -- the 3rd front face electrically connected to the conductor 104 -- two or more formation of the conductor 107 is carried out.

[0021] among ceramic layer 102a of the ceramic multilayer substrate 102, resistance film 108a electrically connected to the 1st inner conductor 106 forms -- having -- the top principal plane top of the ceramic multilayer substrate 102 -- the 1st front face -- resistance film 108b electrically connected to the conductor 105

is formed.

[0022] As ceramic layer 102a, insulator ingredients, such as BaO-aluminum<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub> system, can be used, for example.

[0023] the 1st beer -- a conductor 104 and the 1st front face -- a conductor 105, the 1st inner conductor 106, and the 3rd front face -- as a conductor 107, Cu, Ag, Au, Ag-Pt, Ag-Pd, etc. can be used, for example.

[0024] As shown in drawing 1, 1st inner conductor 106a connected to one potential and 1st inner conductor 106b connected to the potential of another side form the capacitor by countering on both sides of ceramic layer 102a.

[0025] Drawing 2 is the sectional view having expanded and shown the part which 1st inner conductor 106a and 1st inner conductor 106b have countered. As shown in drawing 2, the capacity of a capacitor can be adjusted by forming the penetration slot 109 which penetrates ceramic layer 102a, and removing a part of 1st inner conductor 106b. Laser etc. can be used in order to form the penetration slot 109.

[0026] the 3rd front face -- you may connect with the circuit pattern of a printed circuit board (not shown) as it is, and a conductor 107 may be connected with terminals for external connection (not shown), such as a pin, for example.

[0027] As resistance film 108a and 108b, the charge of an admixture of RuO<sub>2</sub> and glass etc. can be used, for example. Moreover, after multilayer substrate 101 completion, with laser etc., some resistance film 108a and 108b can be removed, and resistance can be adjusted. About resistance film 108a, like the time of adjusting the capacity of a capacitor, ceramic layer 102a can be penetrated, laser trimming can be performed, and resistance can be adjusted. inside resin layer 103a and 103b, it extends in the direction of a laminating of the resin layers 103a and 103b -- as -- the 2nd beer -- two or more formation of the conductor 114 is carried out. moreover -- the top principal plane top of resin layer 103b -- the 2nd front face -- a conductor 115 carries out two or more formation -- having -- \*\*\*\* -- the part -- the 2nd beer -- it connects with the conductor 114 electrically. moreover, between resin layer 103a and resin layer 103b, the 2nd inner

conductor 116 carries out two or more formation -- having -- \*\*\*\* -- the part -- the 2nd beer -- it connects with the conductor 114 electrically.

[0028] moreover -- the interior of resin layer 103a -- the 1st front face -- the passive circuit elements 110a and 110b electrically connected to the conductor 105 are formed, and passive-circuit-elements 110c electrically connected to the 2nd inner conductor 116 is prepared in the interior of resin layer 103b.

[0029] The resin layers 103a and 103b consist of what mixed an inorganic filler and thermosetting resin. As an inorganic filler, aluminum 2O3, SiO2, TiO2, etc. can be used, for example. While raising heat dissipation nature by using these inorganic fillers, the fluidity of the resin layers 103a and 103b and restoration nature are controllable. Moreover, as thermosetting resin, an epoxy resin, phenol resin, cyanate resin, etc. can be used, for example.

[0030] It is desirable to choose what has a low dielectric constant from relation with the passive circuit elements for RFs mounted on the top principal plane of resin layer 103b as the above-mentioned inorganic filler and thermosetting resin. Moreover, it is desirable to choose what has the ceramics used for the ceramic multilayer substrate 102 and a coefficient of thermal expansion near as the above-mentioned inorganic filler and thermosetting resin.

[0031] Since passive circuit elements 110a-110c can be built in in three dimensions when two or more resin layers are formed like this operation gestalt, the component-side product of passive circuit elements can be made small. Consequently, area of the multilayer substrate 101 can be made small and the miniaturization of the multilayer substrate 101 can be attained. In addition, mark, magnitude, etc. of passive circuit elements can adjust the number of layers of a resin layer suitably.

[0032] the 2nd beer -- a conductor 114 -- drawing 1 -- the 1st front face -- although it connects with the conductor 105 electrically -- the 1st beer -- you may connect also with the conductor 104 electrically. namely, the 2nd beer -- the conductor 114 has just connected electrically the circuit in the ceramic multilayer substrate 102, and the circuit in the resin layers 103a and 103b.

[0033] the 2nd beer -- as a conductor 114, the conductive resin constituent which mixed metal particles and thermosetting resin can be used, for example. Au, Ag, Cu, nickel, etc. can be used as metal particles. As thermosetting resin, an epoxy resin, phenol resin, cyanate resin, etc. can be used.

[0034] the 2nd front face -- as a conductor 115 and the 2nd inner conductor 116, Ag, Cu, Au, Ag-Pt, Ag-Pd, etc. can be used, for example.

[0035] As passive circuit elements 110a-110c, various things can be used according to the circuit formed. For example, passive elements, such as active elements, such as a transistor, and IC, LSI, and a chip capacitor, a chip resistor, a chip thermistor, a chip inductor, can be used.

[0036] Drawing 3 is the sectional view of the multilayer module concerning this invention. the 2nd front face where the multilayer module 100 was formed in resin layer 103b of the multilayer substrate 101 as shown in drawing 3 -- passive circuit elements 110d and 110e are mounted on a conductor 115.

[0037] Although the thing same as passive circuit elements 110d and 110e as the passive circuit elements 110a-110c mentioned above can be used, it is desirable to use the passive circuit elements of the property which is especially hard to prepare in the interior of resin layer 103a and 103b. For example, when a bare chip-like transistor etc. is prepared in the interior of resin layer 103a and 103b, there is a possibility that heat dissipation nature may worsen and may not operate normally. It is more desirable to mount on the top principal plane of resin layer 103b about such components.

[0038]

[Example] (Example 1) Below, one example which produced the multilayer substrate concerning this invention and the multilayer module is shown.

[0039] First, as a start raw material, BaO, SiO<sub>2</sub>, aluminum 2O<sub>3</sub>, and B-2s O<sub>3</sub> and CaO were prepared, and specified quantity weighing capacity of each start raw material was carried out, and it mixed. Next, temporary quenching of the obtained mixture was carried out at 1300 degrees C for 2 hours, the obtained temporary-quenching object was ground, and temporary-quenching powder was

obtained.

[0040] Next, a suitable quantity of a binder, a plasticizer, and a solvent were added and kneaded to this temporary-quenching powder, and the ceramic slurry was obtained. Next, this ceramic slurry was formed with a thickness of 100 micrometers in the shape of a sheet with the doctor blade method, and the ceramic green sheet was obtained. Next, this ceramic green sheet was cut in the rectangular 100mm long and 100mm wide configuration. Next, the beer hall with a diameter of 200 micrometers was formed in the position of the ceramic green sheet of this rectangle.

[0041] Next, the conductive paste which consists of Cu powder, a suitable quantity of a binder, glass powder, and a dispersant was produced, this conductive paste was printed on the rectangular ceramic green sheet by screen-stencil, and the beer hall of a ceramic green sheet was filled up with it. Next, the resistive paste which consists of RuO<sub>2</sub> powder, glass powder, and a dispersant was produced, and this resistive paste was applied on conductive paste in the ceramic green sheet of one sheet.

[0042] Next, the layered product with a thickness of 1mm was obtained by carrying out two or more sheet laminating of the rectangular ceramic green sheet, and sticking it by pressure. Next, the obtained layered product was calcinated at the temperature of 800-1000 degrees C for 5 hours, and the ceramic multilayer substrate was obtained. TMA of this ceramic multilayer substrate -- when the coefficient of thermal expansion was measured by law, it was 9 ppm/degree C.

[0043] In addition, about the manufacture approach of a ceramic multilayer substrate, not an above-mentioned limitation but the manufacture approach well-known in addition to this may be used.

[0044] next, it is shown in drawing 4 -- as -- the 1st front face of the ceramic multilayer substrate 102 -- it soldered by carrying chip capacitor 110a and chip resistor 110b on a conductor 105. moreover, the 1st front face -- on the conductor 105, the resistive paste which consists of RuO<sub>2</sub> powder, glass powder, and a dispersant was applied, it could be burned and resistance film 108b was

formed.

[0045] Next, the silica was prepared as an inorganic filler, the liquefied epoxy resin was prepared as thermosetting resin, weighing capacity was carried out so that a silica might become and a liquefied epoxy resin might become 10 % of the weight 90% of the weight, and the dispersant was added, it mixed, and paste-like mixture was produced.

[0046] in addition -- that to which heat curing of the mixture of the shape of this paste was carried out at 160 degrees C -- TMA -- when the coefficient of thermal expansion was measured by law, it was 15 ppm/degree C.

[0047] Next, it consisted of polyethylene terephthalate, the mixture of the shape of an acquired paste was dropped on the \*\* form film with which \*\* form processing by silicon was performed to the front face, the pressurization press was performed for copper foil with a thickness of 18 micrometers in piles from on the, and tabular mixture with a thickness of 400 micrometers was obtained.

[0048] Next, the \*\* form film was exfoliated and the resin prepreg sheet with copper foil was produced. Next, this resin prepreg sheet was cut in the rectangular 100mm long and 100mm wide configuration.

[0049] next, resin prepreg sheet 113a by which the 2nd inner conductor 116 was formed on the principal plane on the other hand as the copper foil formed on the rectangle-like resin prepreg sheet was etched with photolithography and it was shown in drawing 5 (A) -- and -- on the other hand -- a principal plane top -- the 2nd front face -- resin prepreg sheet 113b in which the conductor 115 was formed was produced.

[0050] Next, using carbon dioxide laser, as shown in drawing 5 (B), the beer halls 111a and 111b with a diameter of 150 micrometers were formed in the resin prepreg sheets 113a and 113b, respectively.

[0051] next, it is shown in drawing 5 (c) -- as -- conductive paste (AE1244 by Tatsuta Electric Wire & Cable Co., Ltd.) -- screen-stencil -- the inside of beer hall 111a and 111b -- being filled up -- the 2nd beer -- Conductors 114a and 114b were formed.

[0052] Next, resin prepreg sheet 113a was piled up on the ceramic multilayer substrate 102 with which chip capacitor 110a and chip resistor 110b were mounted, as the 2nd inner conductor 116 turned up, and it was stuck by pressure for 60 minutes at the temperature of 160 degrees C with the vacuum press. thus -- while making chip capacitor 110a and chip resistor 110b buried in resin prepreg sheet 113a -- resin prepreg sheet 113a and the 2nd beer -- a conductor - the thermosetting resin contained in 114a was stiffened, and resin layer 103a was formed on the ceramic multilayer substrate 102.

[0053] Next, as shown in drawing 6 , it soldered by carrying chip capacitor 110c on the 2nd inner conductor 116 of resin layer 103a.

[0054] next, resin prepreg sheet 113b -- the 2nd front face -- as the conductor 115 turned up, it piled up on resin layer 103a in which chip capacitor 110c was mounted, and it was stuck by pressure for 60 minutes at the temperature of 160 degrees C with the vacuum press. thus -- while making chip capacitor 110c buried in resin prepreg sheet 113b -- resin prepreg sheet 113b and the 2nd beer -- a conductor -- the thermosetting resin contained in 114b was stiffened, and as shown in drawing 1 , the multilayer substrate 101 with which the resin layers 103a and 103b were formed on the ceramic multilayer substrate 102 was produced.

[0055] next, it is shown in drawing 3 -- as -- the 2nd front face of the multilayer substrate 101 -- it soldered by having carried semiconductor devices 110d and 110e on the conductor 115, and the multilayer module 100 was produced.

(Example 2) Below, other examples which created the multilayer substrate concerning this invention and the multilayer module are shown.

[0056] First, the ceramic multilayer substrate was produced like the example 1. next, it is shown in drawing 4 -- as -- the 1st front face of the ceramic multilayer substrate 102 -- it soldered by carrying chip capacitor 110a and chip resistor 110b on a conductor 105. moreover, the 1st front face -- on the conductor 105, the resistive paste which consists of RuO<sub>2</sub> powder, glass powder, and a dispersant was applied, it could be burned and resistance film 108b was formed.

[0057] Next, the silica was prepared as an inorganic filler, the liquefied epoxy resin was prepared as thermosetting resin, weighing capacity was carried out so that a silica might become and a liquefied epoxy resin might become 10 % of the weight 90% of the weight, and the dispersant was added, it mixed, and paste-like mixture was produced.

[0058] in addition -- that to which heat curing of the mixture of the shape of this paste was carried out at 160 degrees C -- TMA -- when the coefficient of thermal expansion was measured by law, it was 15 ppm/degree C.

[0059] Next, the mixture of the shape of an acquired paste was slushed by the coating machine on the top principal plane of a ceramic substrate 102, and chip capacitor 110a and chip resistor 110b were covered. The coat thickness at this time was 400 micrometers.

[0060] Next, the ceramic substrate 102 by which the coat was carried out with paste-like mixture in the top principal plane is put into vacuum oven, it heats for 10 minutes at 100 degrees C, and paste-like mixture was rotated on the inferior surface of tongue of chip capacitor 110a and chip resistor 110b. Thereby, as shown in drawing 7 (A), the layered product by which resin layer 103a was formed on the ceramic multilayer substrate 102 was obtained. In addition, at this temperature, paste-like mixture does not heat-harden completely but is in the condition of semi-hardening.

[0061] Next, this layered product was taken out from vacuum oven, and using carbon dioxide laser, as shown in drawing 7 (B), with a diameter of 150 micrometers which penetrates resin layer 103a beer hall 111a was formed.

[0062] next, it is shown in drawing 7 (C) -- as -- conductive paste (AE1214 by Tatsuta Electric Wire & Cable Co., Ltd.) -- screen-stencil -- the inside of beer hall 111a -- being filled up -- the 2nd beer -- a conductor -- 114a was formed.

[0063] Next, on the other hand, the principal plane prepared electrolytic copper foil with a thickness of 18 micrometers by which surface roughening was carried out, set this electrolytic copper foil by the magnitude of a ceramic substrate 102, and started in the shape of a rectangle. Next, as were shown in drawing 7 (D),



and the top principal plane of resin layer 103a and the split face of electrolytic-copper-foil 116a were doubled, on resin layer 103a, electrolytic-copper-foil 116a was piled up and it was stuck by pressure for 60 minutes at 160 degrees C with the vacuum press. in addition, this temperature -- resin layer 103a and the 2nd beer -- a conductor -- the thermosetting resin contained in 114a was hardened. [0064] Next, electrolytic-copper-foil 116a formed on resin layer 103a was etched with photolithography, and as shown in drawing 7 (E), the 2nd inner conductor 116 was formed.

[0065] Next, as shown in drawing 6 , it soldered by carrying chip capacitor 110c on the 2nd inner conductor 116 of resin layer 103a.

[0066] next, it is shown in drawing 1 like the time of forming resin layer 103a -- as -- a resin layer 103a top -- resin layer 103b -- forming -- a resin layer 103b top -- the 2nd front face -- the conductor 115 was formed and the multilayer substrate 101 was produced.

[0067] next, it is shown in drawing 3 -- as -- the 2nd front face of the multilayer substrate 101 -- it soldered by having carried semiconductor devices 110d and 110e on the conductor 115, and the multilayer module 100 was produced.

[0068]

[Effect of the Invention] While the miniaturization of a substrate can be attained by building passive circuit elements in a resin layer according to the multilayer substrate concerning this invention, and the multilayer module, weatherability and a mechanical strength are securable in the part of a ceramic multilayer substrate. Moreover, since the dielectric constant of the resin layer in which passive circuit elements are mounted is low, the signal propagation delay between passive circuit elements can be made small.

[0069] Moreover, since passive circuit elements can be built in a resin layer in three dimensions by forming two or more resin layers, the miniaturization of a substrate can be attained further.

[0070] Moreover, resistance can be easily adjusted by forming the resistance film

on the interior of a ceramic multilayer substrate, or a principal plane, and trimming this resistance film.

---

[Translation done.]

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the multilayer substrate concerning this invention.

[Drawing 2] It is the sectional view having expanded and shown some ceramic multilayer substrates 102 of drawing 1 .

[Drawing 3] It is the sectional view showing the multilayer module concerning this invention.

[Drawing 4] It is process drawing showing an example of the manufacture approach of the multilayer substrate concerning this invention, and a multilayer module.

[Drawing 5] It is process drawing showing an example of the manufacture approach of the multilayer substrate concerning this invention, and a multilayer module.

[Drawing 6] It is process drawing showing an example of the manufacture

approach of the multilayer substrate concerning this invention, and a multilayer module.

[Drawing 7] It is process drawing showing an example of the manufacture approach of the multilayer substrate concerning this invention, and a multilayer module.

[Description of Notations]

100 Multilayer Module

101 Multilayer Substrate

102 Ceramic Multilayer Substrate

102a Ceramic layer

103a, 103b Resin layer

104 1st Beer -- Conductor

105 1st Front Face -- Conductor

106 1st Inner Conductor

107 3rd Front Face -- Conductor

108a, 108b Resistance film

109 Penetration Slot

110a-110e Passive circuit elements

111a, 111b Beer hall

113a, 113b Resin prepreg sheet

114 2nd Beer -- Conductor

115 2nd Front Face -- Conductor

116 2nd Inner Conductor

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

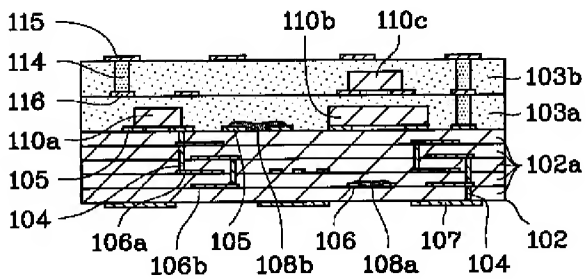
---

## DRAWINGS

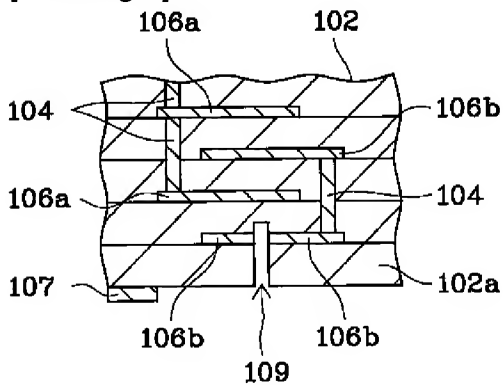
---

[Drawing 1]

101

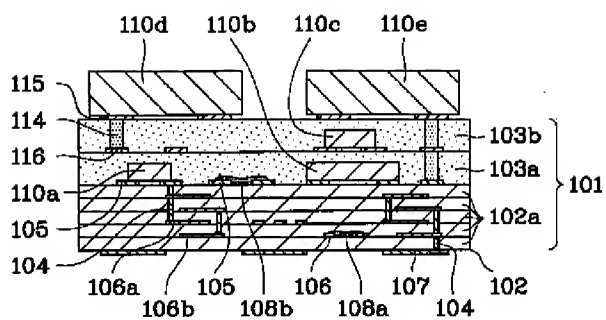


[Drawing 2]

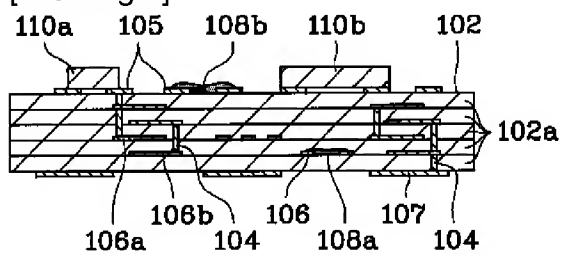


[Drawing 3]

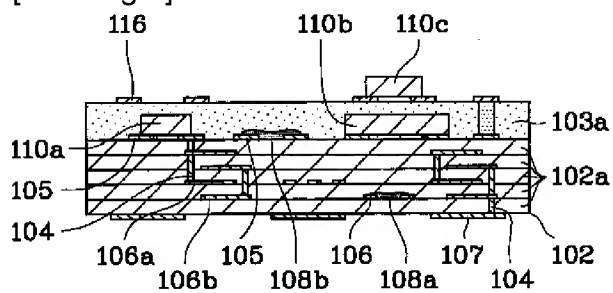
100



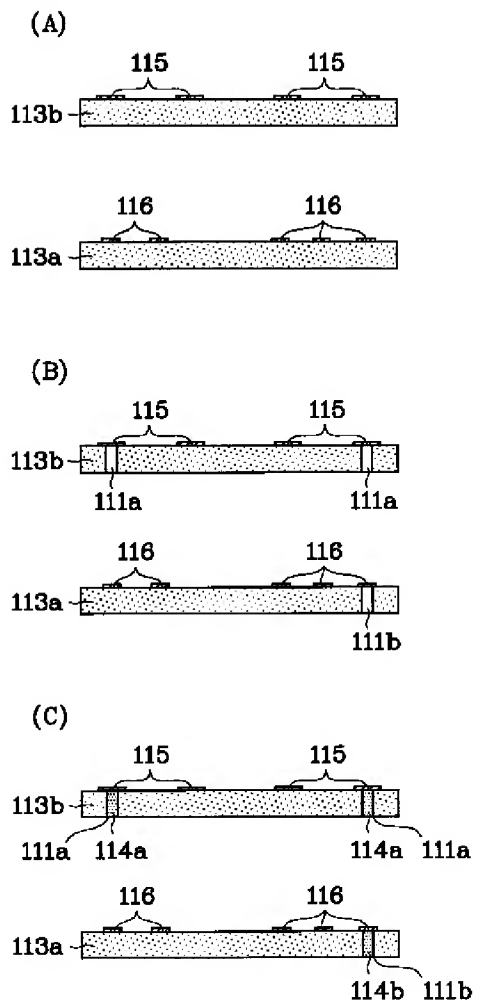
[Drawing 4]



[Drawing 6]

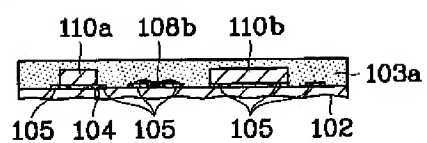


[Drawing 5]

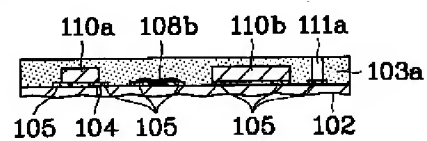


[Drawing 7]

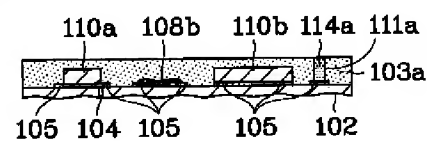
(A)



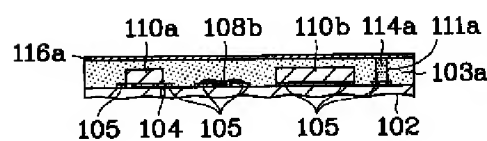
(B)



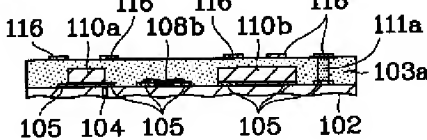
(C)



(D)



(E)



[Translation done.]